# Routabilité dans les cartes FPGA pour l'industrie spatiale

Charlotte Fabre<sup>1</sup>, Damien Dupuis<sup>2</sup>, Sylvain Durand<sup>1</sup>, Rodolphe Giroudeau<sup>1</sup>, Zakaria Teffah<sup>2</sup>

- <sup>1</sup> LIRMM CNRS UMR 5506, 161 rue Ada, 34090 Montpellier, France {cfabre, sylvain.durand, rodolphe.giroudeau}@lirmm.fr
  - NanoXplore, 10 rue Louis Breguet, Bat. D, 34830 Jacou, France {damien.dupuis, zteffah}@nanoxplore.com

Mots-clés: Microélectronique, FPGA, routage, optimisation.

#### 1 Introduction et motivations

Le déploiement de composants électroniques dans le domaine spatial impose d'utiliser du matériel spécifique en raison des contraintes extrêmes présentes (rayonnement, température). Les tâches étant de plus en plus complexes et susceptibles d'évoluer, l'utilisation de composants reprogrammables (FPGA) est indispensable. Depuis plusieurs années NanoXplore propose une gamme de solutions SOC FPGA spécialisée pour le domaine spatial. Nous nous intéressons plus spécifiquement à la partie logicielle permettant de configurer la puce FPGA. Cette partie est formée d'un flot logiciel complet, composé de trois grandes parties : Synthèse (rattacher le circuit en cours de conception à la technologie), Placement (répartir géographiquement les éléments sur une empreinte donnée), Routage (inter-connecter les éléments entre eux). Le travail présenté concerne exclusivement l'aspect routage.

## 2 Présentation du problème

Le problème de routage est complexe, mais il peut être simplifié en utilisant un modèle présenté dans [1, 3]. Dans ce modèle, on cherche à connecter un ensemble de sources à un sous-ensemble de sommets terminaux en respectant des contraintes de capacité sur les liens et les noeuds. Ce problème est proche du Steiner tree packing problem étudié dans [2]. Pour réduire la combinatoire du problème, nous considérons le cas où tous les terminaux doivent être connectés et où seul un sous-ensemble de chemins reliant chaque source aux terminaux est considéré. Plus formellement, le problème ROUTABILITÉ est défini de la manière suivante :

#### Instance:

—  $G = (V_T \cup V_C, E_{TC} \cup E_C)$  avec  $E_C \subseteq V_C \times V_C$  et  $E_{TC} \subseteq V_T \times V_C$ . Dans les instances considérées, le graphe induit par les sommets de  $V_C$  est une grille,  $V_T$  est l'ensemble des sommets dits « terminaux »,  $|V_C| = |V_T|$  et chaque sommet de  $V_T$  est adjacent à un sommet de  $V_C$ . Une illustration du graphe G est proposée à la figure 1. Les sommets rouges représentent les sommets terminaux.

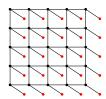


FIG. 1 – Topologie pour le problème ROUTABILITÉ.

- L'ensemble NETGRAPH est un ensemble d'ensembles de chemins colorés de G. NETGRAPH =  $\{GA_1, GA_2, \ldots, GA_q\}$  où  $GA_i$  est un ensemble de chemins élémentaires de longueur strictement supérieure à 2 allant d'un sommet  $s_i \in V_T$  à un sommets  $s_j \in V_T$ . Le nombre de chemins entre  $s_i$  et tout terminal  $s_j \in V_T$  doit être supérieur ou égal à 1. L'ensemble des arcs et des sommets des chemins de  $GA_i$  reçoivent la même couleur  $C_{GA_i}$ .
  - Un arc e de G (resp. un sommet x) peut donc avoir plusieurs couleurs. Notons  $C_{\text{NetGraph}}(e) = \bigcup_{e \in GA_i} C_{GA_i}$  (resp.  $C_{\text{NetGraph}}(x) = \bigcup_{x \in GA_i} C_{GA_i}$ ) l'ensemble des couleurs de l'arc e (resp. du sommet x) pour un ensemble NetGraph donné.
- Notons  $w_e \in \mathbb{N}^*$  la capacité de l'arête  $e \in E_{TC} \cup E_C$
- Notons  $w_v \in \mathbb{N}$  la capacité du sommet  $v \in V_C$ . La capacité des sommet de  $V_T$  est considérée non-bornée.

Solution: Une solution S du problème de ROUTABILITÉ est définie par  $S = \{S_1, \ldots, S_q\}$  où  $S_i$  est un sous-ensemble de chemins de  $GA_i$  contenant un unique chemin de  $s_i$  à  $t_j$  pour tout  $t_j \in V_T$ . Le nombre de couleurs de chemins traversant une arête e (resp. un sommet v) ne doit pas dépasser la capacité  $w_e$  pour tout  $e \in E_{TC} \cup E_C$  (resp.  $w_v$  pour tout  $v \in V_C$ ) i.e.  $|C_{Netgraph}(e)| \le w_e$  (resp.  $|C_{Netgraph}(v)| \le w_v$ ).

### 3 Résultats

Le problème de ROUTABILITÉ est NP-Complet pour  $q \geq 3$  dans le cas, plus général, où le graphe est quelconque (on peut montrer qu'il est équivalent au problème 3-bounded 3-Dimensional Matching Problem). La complexité dans le cas particulier de la grille n'est pas encore connue. Nous avons modélisé notre problème de ROUTABILITÉ à l'aide d'un programme linéaire en nombres entiers. Nous avons procédé à des tests sur des données réelles fournies par NanoXplore pour vérifier la validité de notre programme. Le problème étant un problème de décision, nous avons aussi testé notre modèle avec différentes fonctions objectifs (minimisation du nombre d'arêtes utilisées, minimisation de la taille des chemins utilisés, minimisation du nombre de contraintes violées dans le cas où le problème initial n'a pas de solution réalisable...).

Nous ne sommes encore qu'au début de cette étude et des tests plus complets vont être réalisés afin de comparer l'efficacité des différentes fonctions objectifs considérées et la qualité des solutions actuellement utilisées dans l'entreprise.

## 4 Conclusions et perspectives

La suite des travaux portera sur le développement de nouveaux modèles plus efficaces (programmation par contraintes (travail en cours), hybridation, ...) en s'appuyant sur les spécificités du modèle (grille, ...) et la prise en compte de nouvelles contraintes afin d'être plus proche des contraintes réelles. Dans un deuxième temps, nous considèrerons le problème global dans lequel la première étape est de placer les sous-graphes  $GA_i$ . Ici encore, ce problème bi-niveau sera étudié au regard des contraintes spécifiques liées à la technologie utilisée.

### Références

- [1] Umer Farooq, Zied Marrakchi, Habib Mehrez. Tree-based Heterogeneous FPGA Architectures, Application Specific Exploration and Optimization. Springer New York, NY, 2012.
- [2] Grötschel, M., Martin, A. and Weismantel, R. The steiner tree packing problem in VLSI design. *Mathematical Programming*, 78: 265–281, 1997.
- [3] Philip Andrew Simpson. FPGA Design, Best Practices for Team-based Reuse. Springer International Publishing, 2015.